

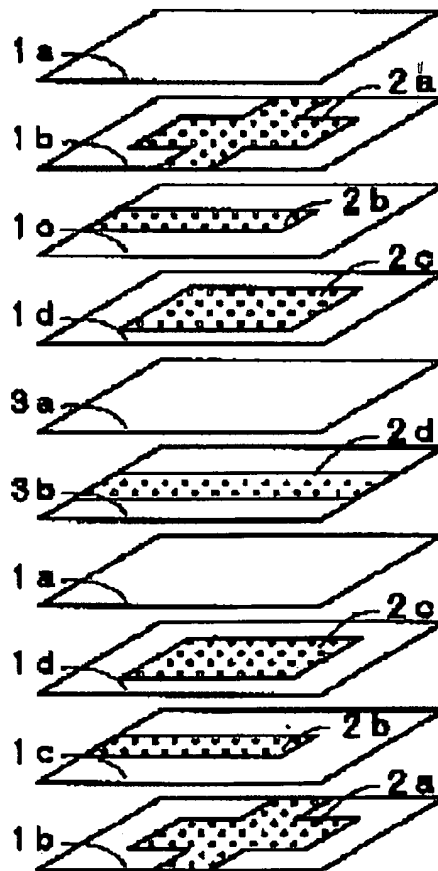
COMPOSITE FUNCTIONAL ELEMENT

Patent number: JP7192905
Publication date: 1995-07-28
Inventor: NAKAMURA KAZUYOSHI; USHIRO TOMOAKI; MORII HIROSHI
Applicant: MURATA MANUFACTURING CO
Classification:
- International: H01C7/10; H01F1/34; H01F27/00; H01C7/10; H01F1/12; H01F27/00; (IPC1-7): H01F1/34; H01C7/10; H01F27/00
- european:
Application number: JP19930331663 19931227
Priority number(s): JP19930331663 19931227

Report a data error here

Abstract of JP7192905

PURPOSE: To inhibit the mutual diffusion of a composition having an adverse effect on each electrical characteristic by forming the single body of Pt, Pd or Ag on the semiconductor porcelain side in the vicinity of the jointing section of a magnetic substance ceramic and a semiconductor ceramic or one layer or more of the alloy metallic layers of Pt, Pd or Ag such as an Ag-Pd alloy. **CONSTITUTION:** A metallic pattern 2a consisting of conductive paste is printed on a varistor sheet 1b, and a metallic pattern 2b is printed similarly on a varistor sheet 1c and a metallic pattern 2c on a varistor sheet 1d. A metallic pattern 2d composed of conductive paste is printed on a ferrite sheet 3b. These printed varistor sheets 1a, 1b, 1c, 1d and ferrite sheets 3a, 3b are laid over and contact-bonded. Accordingly, no layer peeling due to the difference of shrinkage factors and delamination is generated. The mutual diffusions of compositions having an adverse effect on each electrical characteristic can be inhibited.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192905

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 C 7/10

H 0 1 F 27/00

// H 0 1 F 1/34

8123-5E

H 0 1 F 15/ 00

D

1/ 34

A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-331663

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 中村 和敬

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 後 外茂昭

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 森井 博史

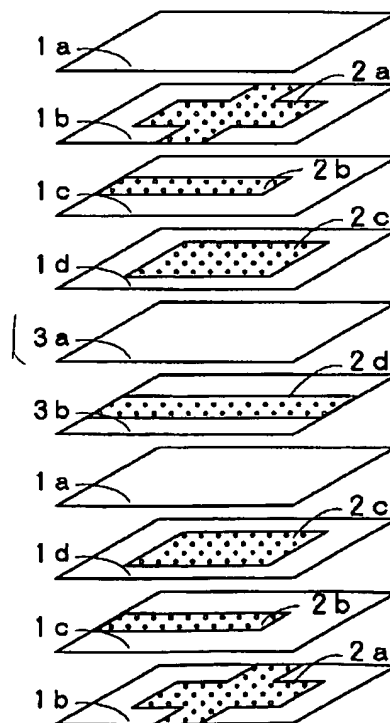
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 複合機能素子

(57) 【要約】

【目的】 半導体磁器と磁性体磁器を接合して、それぞれの電気特性を損なうことなく、電磁ノイズ対策が可能な複合機能素子を提供することにある。

【構成】 バリスタ特性を有する半導体磁器と、磁性材料からなる磁性体磁器を接合し、一体焼結して得られる複合機能素子において、前記半導体磁器部と前記磁性体磁器部の接合部付近で前記半導体磁器部側に金属層を1層以上設けた複合機能素子であり、その金属層はPt、Pd、Agの単体かあるいはPt、Pd、Agの合金である。



【特許請求の範囲】

【請求項1】 バリスタ特性を有する半導体磁器と、磁性材料からなる磁性体磁器を接合し、一体焼結して得られる複合機能素子において、前記半導体磁器部と前記磁性体磁器部の接合部付近で前記半導体磁器部側に金属層を1層以上設けたことを特徴とする複合機能素子。

【請求項2】 前記金属層はPt、Pd、Agの単体かあるいはPt、Pd、Agの合金であることを特徴とする請求項1記載の複合機能素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はバリスタ特性とコンデンサ特性ならびに磁性特性を兼ね備えた複合機能素子に関する。

【0002】

【従来の技術】ICなどの半導体デバイスは、静電気等のトランジェントノイズにより、破壊されたり、誤動作を起こすことがある。これらのノイズの防御方法はセットや基板のグラウンドの設定、または基板内素子配列やバリスタやLCフィルタのようなノイズ吸収素子を用いている。

【0003】この中で、バリスタ等素子を用いる方法は比較的簡単であり、ノイズ対策としてよく行われる方法である。これらノイズからの保護を目的とした場合、バリスタ電圧はできるだけ回路電圧に近づける必要があり、低電圧化が望まれている。また、装置の小型化等により素子サイズが小さく、表面実装ができるチップ型の部品が望まれている。

【0004】

【発明が解決しようとする課題】これらのことに対処した電子部品が特公昭58-23921号公報に記載されている。しかし、特公昭58-23921号公報に記載された電子部品は制限電圧が、従来のバリスタと変わらず、回路保護にはさらなる電圧抑制能力が要求される。

【0005】また、各種装置からノイズが発生しないように、あるいは各種装置にノイズが侵入しないように、各機器の入出力部にフェライトチップやコンデンサを取り付け、電磁ノイズ対策を施しているが、これらの部品を付加することは、多くの部品を必要とするため、基板面積を大きくし、工程の複雑化を招き、コストアップにつながるという問題がある。

【0006】そこで、バリスタ特性を有する半導体磁器と磁性体磁器を接合して一体化することにより、上記した問題を解消した複合機能素子を提供することができる。しかしながら、この複合機能素子は一体焼結したとき、それぞれの材料の相互拡散によりそれぞれの特性が劣化するという問題がある。

【0007】この発明の目的は、半導体磁器と磁性体磁器を接合することにより起こる、各材料の相互拡散を抑制し、それぞれの電気特性を損なうことなく、フェライ

トチップとコンデンサを兼ねて一体化した、電磁ノイズ対策用部品となる複合機能素子を提供することにある。

【0008】

【課題を解決するための手段】請求項1に係る発明は、バリスタ特性を有する半導体磁器と、磁性材料からなる磁性体磁器を接合し、一体焼結して得られる複合機能素子において、前記半導体磁器部と前記磁性体磁器部の接合部付近で前記半導体磁器部側に金属層を1層以上設けた複合機能素子である。

10 【0009】請求項2に係る発明は、金属層はPt、Pd、Agの単体かあるいはPt、Pd、Agの合金である。

【0010】

【作用】磁性体磁器と半導体磁器の接合部付近の半導体磁器側にPt、Pd、Agの単体あるいはAg-Pd合金のようなPt、Pd、Agの合金金属層を1層以上設けたことにより、それぞれの電気特性に悪影響を及ぼす組成の相互拡散を抑制することができる。また、金属層により、異なる材料の接合部に生じる応力を低減させることができ、層はがれを抑制できる。

【0011】

【実施例】

【バリスタ材料の作成】原料として、純度99%以上のZnO、Bi₂O₃、CoCO₃、MnO₂およびSb₂O₃を、それぞれ、98モル%、0.5モル%、0.5モル%、0.5モル%、0.5モル%の割合で秤量し、純水を加えボールミルにより24時間混合して混合物スラリーを得た。次に得られたスラリーを濾過乾燥し、造粒した後800℃の温度で2時間仮焼した。

30 【0012】さらに、この仮焼物を粗粉碎した後、純水を加え、ボールミルで微粉碎した。このスラリーを濾過乾燥した後、有機バインダーと共に溶媒中に分散してスラリーを得た。得られたスラリーからドクターブレード法により50μmの厚みのシートを作成した。このシートを打ち抜き、複数枚のグリーンシートを得た。

40 【0013】【フェライト材料の作成】原料として、純度99%以上のFe₂O₃、NiO、ZnOをそれぞれ47モル%、30モル%、23モル%の割合で秤量し、純水を加えボールミルにより24時間混合して混合物スラリーを得た。次に得られたスラリーを濾過乾燥し、造粒した後1100℃の温度で2時間仮焼した。

【0014】さらに、この仮焼物を粗粉碎した後、Bi₂O₃を1.0wt%添加し純水を加えボールミルで24時間混合粉碎した。このスラリーを濾過乾燥した後、有機バインダーと共に溶媒中に分散してスラリーを得た。得られたスラリーからドクターブレード法により50μmの厚みのシートを作成した。このシートを打ち抜き、複数枚のグリーンシートを得た。

50 【0015】【内部電極印刷・積層・焼成】図1に示すように、上記した工程で得られたバリスタシート1a、

1b、1c、1dを準備するとともに、フェライトシート3a、3bを準備した。そしてバリスタシート1bには導電性ペーストによる金属パターン2aを印刷し、バリスタシート1cには同様に金属パターン2bを、バリスタシート1dには同様に金属パターン2cを印刷した。

【0016】またフェライトシート3bには導電性ペーストによる金属パターン2dを印刷した。なお、導電性ペーストには銀とパラジウムが7：3割合からなるものを用いた。また、バリスタシート1a、フェライトシート3aは金属パターンを形成していないダミーシートである。導電性ペーストの印刷は、スクリーン印刷法により印刷した。

【0017】さらに、これらの印刷されたバリスタシート1a、1b、1c、1dとフェライトシート3a、3bを図1に示すような順序で重ね、 2 t/cm^2 の圧力にて圧着した。こうしてできた圧着体を所定の大きさにカットし、 950°C で2時間焼成し複合機能素体を得た。図2は複合機能素体4の積層断面図である。

【0018】さらに得られた素体4に図3に示すように、銀ペーストを塗布し、 800°C で10分間熱処理して、外部電極5およびアース電極6を形成した。金属パターン2cはAg-Pdペースト以外に表1に示すようにAg、Pt等を用いたものも作成し、下記の特性試験の試料とした。また、図4に示すように金属層を2層配置したものも測定試料として用意した。以上の方法によって得られた素子の外観は、収縮率の差による層はがれやデラミネーションはみられなかった。

【0019】

【表1】

* 印は請求範囲外

| 試料 No. | 金属層 |
|-----------|----------|
| 1 * | なし |
| 2 | Pt |
| 3 | Ag-Pd |
| 4 | Ag |
| 5 | Ag-Pdの2層 |

【0020】こうして得られた試料に付いて、バリスタ電圧、非直線係数、静電容量、誘電損失、インダクタンス、インピーダンスを評価した。その試験方法を下記に説明する。バリスタ電圧は直流電流1mAに対して得られる電圧を測定した。非直線係数(α)は直流電流1mAに対して得られる電圧($V_{1.0\text{mA}}$)と直流電流10mAに対して得られる電圧($V_{10.0\text{mA}}$)から次式により得た。 $\alpha = 1 / \log(V_{10.0\text{mA}} / V_{1.0\text{mA}})$ の式から計算で得た。

【0021】次に、15Vの直流電圧を2分間印加して 25°C での絶縁抵抗を測定し、静電容量および誘電損失を自動ブリッジ式測定器を用いて周波数1MHz、1Vrms、 25°C にて測定した。インダクタンスは周波数1MHz、1Vrms、 25°C にて測定した。インピーダンスは周波数100MHzの抵抗値である。これらの特性結果を表2に記す。

【0022】

【表2】

* 印は請求範囲外

| 試料 No. | バリスタ 電圧 (V) | 非直線 係数 | 絶縁 抵抗 (MΩ) | 静電 容量 (pF) | 誘電 損失 (%) | インダク タンス (nH) | インダク タンス (Ω) |
|-----------|-------------------|-----------|------------------|------------------|-----------------|---------------------|--------------------|
| 1 * | 32.4 | 29.6 | 1750 | 22 | 5.5 | 34 | 18 |
| 2 | 29.5 | 32.5 | 2080 | 23 | 3.3 | 42 | 25 |
| 3 | 27.6 | 38.6 | 2210 | 24 | 2.1 | 66 | 41 |
| 4 | 27.8 | 38.2 | 2410 | 24 | 2.0 | 65 | 45 |
| 5 | 27.2 | 39.7 | 3550 | 24 | 1.5 | 76 | 63 |

【0023】以上のようにバリスタ特性を有する半導体磁器と磁性体磁器の接合部付近の半導体磁器側に金属層を形成したことにより、誘電損失が減少し、インダクタンスが上昇した。特性の向上原因は、双方の元素の拡散、特にフェライトからのNiやFe元素の拡散が金属層により抑制されたことによるものである。金属層はAg、Pt、Pd単体か、Ag-Pdのような合金でもよい。

【0024】

【発明の効果】この発明により、バリスタ特性を有する半導体磁器とフェライトからなる磁性体磁器を複合させても、金属層によりそれぞれの組成物の相互拡散が抑えられ、それぞれが有する電気特性を損なうことなく複合機能を有する素子ができる。また、このような金属層はそれぞれの組成物の焼結時の応力を緩和する効果もあり、層はがれやデラミネーションを防止できる。

【0025】また、バリスタ特性を有する半導体磁器とフェライトからなる磁性体磁器を複合させることによ

り、トランジェントノイズ等の保護をふくめ電磁ノイズ対策用の小型な素子が得られる。さらに、一体焼結化することにより、工程の簡素化が図れ、より小型で安価な素子が得られる。

【図面の簡単な説明】

【図1】この発明の複合機能素子の分解斜視図である。

【図2】この発明の複合機能素子の断面図である。

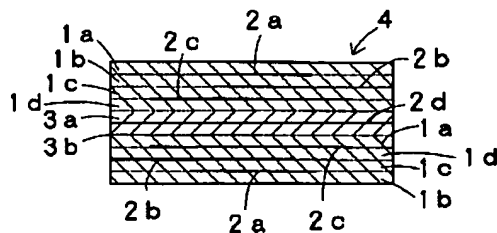
【図3】この発明の複合機能素体の斜視図である。

【図4】この発明の複合機能素子の他の例の分解斜視図である。

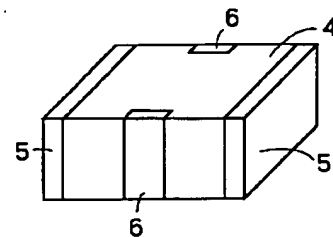
【符号の説明】

- | | |
|-----------------|----------|
| 1 a、1 b、1 c、1 d | バリスタシート |
| 2 a、2 b、2 c、2 d | 金属パターン |
| 3 a、3 b | フェライトシート |
| 4 | 複合機能素体 |
| 5 | 外部電極 |
| 6 | アース電極 |

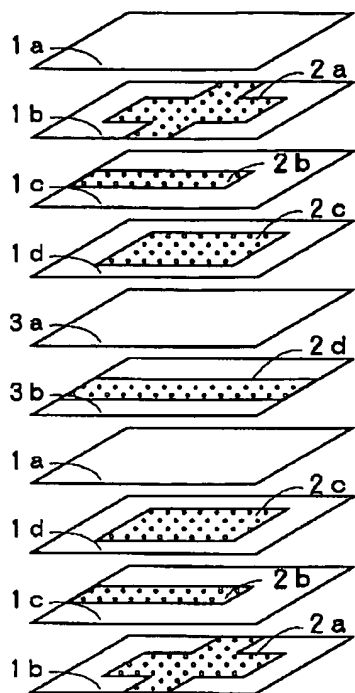
【図2】



【図3】



【図1】



【図4】

